

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-250921

(43)Date of publication of application : 14.09.2001

(51)Int.Cl.

H01L 27/08
H01L 21/761
H01L 21/76
H01L 21/3205

(21)Application number : 2000-374379

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 08.12.2000

(72)Inventor : TSUYUKI MASAHIKO

(30)Priority

Priority number : 11371190

Priority date : 27.12.1999

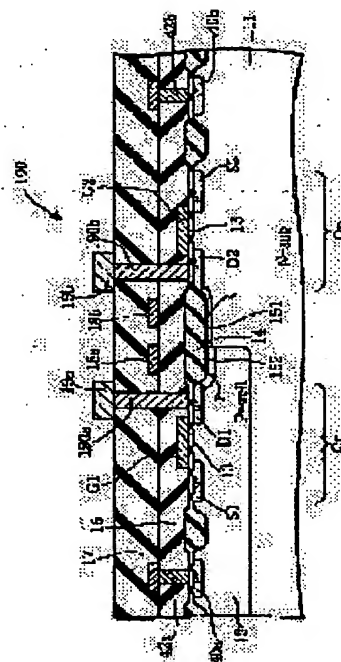
Priority country : JP

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device that has low- and high-breakdown- voltage transistors that are mixedly mounted on the same substrate, can sufficiently cope with a case where an element is miniaturized and is changed into multiple layers, and at the same time can achieve reliable element separation in a region where the high-breakdown-voltage transistor is formed.

SOLUTION: A semiconductor device 100 is equipped with high-breakdown- voltage transistors Qn and Qp and a low-breakdown-voltage one that are driven by different voltages on a semiconductor substrate 11. In a region where the high-breakdown-voltage transistors are arranged, metal wiring layers 19a and 19b and fixed potential wiring layers 18a and 18b are provided. The metal wiring layers 19a and 19b are provided via first and second interlayer insulating films 16 and 17 on the high-breakdown-voltage transistor for applying high potential, and the fixed potential wiring layers 18a and 18b are provided between an element separation insulating film 14 and the metal wiring layers 19a and 19b, namely, on the first interlayer insulating film 16. Also, the fixed potential wiring layers 18a and 18b are connected to contact regions 40a and 40b consisting of an impurity diffusion layer that is formed on the semiconductor substrate 11 via contact parts 42a and 42b.



LEGAL STATUS

[Date of request for examination]

10.09.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

BEST AVAILABLE COPY

the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-250921

(P2001-250921A)

(43) 公開日 平成13年9月14日 (2001.9.14)

(51) IntCl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 27/08	3 3 1	H 0 1 L 27/08	3 3 1 A
21/761		21/76	J
21/78			S
21/3205		21/88	S

審査請求 未請求 請求項の数16 O L (全 10 頁)

(21) 出願番号 特願2000-374379(P2000-374379)

(22) 出願日 平成12年12月8日 (2000.12.8)

(31) 優先権主張番号 特願平11-371190

(32) 優先日 平成11年12月27日 (1999.12.27)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 露木 雅彦

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

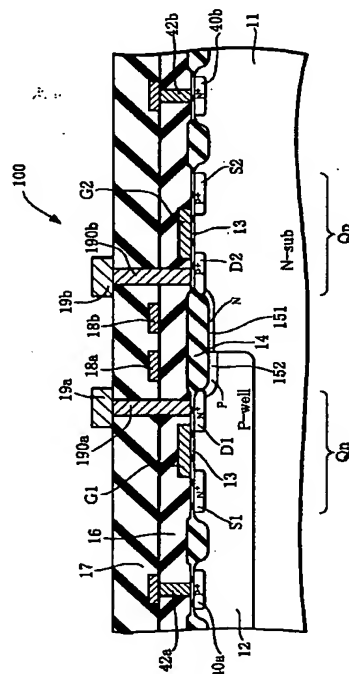
弁理士 井上 一 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 低耐压型トランジスタと高耐压型トランジスタとを同一基板に混載する半導体装置において、十分に素子の微細化、多層化に対応でき、かつ高耐压型トランジスタが形成された領域において高信頼性の素子分離を実現できる半導体装置を提供する。

【解決手段】 半導体装置100は、半導体基板11に、異なる電圧によって駆動する高耐压型トランジスタQ_n、Q_pと低耐压型トランジスタとを有する。高耐压型トランジスタが配置された領域では、高耐压型トランジスタ上の第1層間絶縁膜16および第2層間絶縁膜17を介して設けられ、高電位が与えられる金属配線層19a、19bと、素子分離絶縁膜14と金属配線層19a、19bとの間、すなわち第1層間絶縁膜16の上に設けられた固定電位配線層18a、18bと、を有する。固定電位配線層18a、18bは、それぞれ、コンタクト部42a、42bを介して、半導体基板11に形成された不純物拡散層からなるコンタクト領域40a、40bに接続されている。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 同一基板に、異なる電圧によって駆動する高耐圧型トランジスタと低耐圧型トランジスタとを含む半導体装置であって、

前記高耐圧型トランジスタが配置された領域では、前記高耐圧型トランジスタの上に層間絶縁膜を介して設けられ、高電位が与えられる配線層と、少なくとも、素子分離絶縁膜と前記配線層との間に設けられた固定電位配線層と、を含む半導体装置。

【請求項 2】 請求項 1 において、前記配線層は、前記高耐圧型トランジスタのドレイン領域と電氣的に接続されている、半導体装置。

【請求項 3】 請求項 1 または 2 において、前記固定電位配線層は、前記基板内に設けられた不純物拡散層と電氣的に接続され、該不純物拡散層は、ソース領域およびドレイン領域と前記素子分離絶縁膜によって分離されている、半導体装置。

【請求項 4】 請求項 3 において、前記不純物拡散層は、素子分離用のガードリング領域である、半導体装置。

【請求項 5】 請求項 1 ないし 4 のいずれかにおいて、前記固定電位配線層は、第 1 層間絶縁膜上に形成された金属配線層によって構成され、前記配線層は、第 2 層間絶縁膜上もしくはそれより上の層間絶縁膜上に形成された金属配線層によって構成される、半導体装置。

【請求項 6】 請求項 1 ないし 5 のいずれかにおいて、前記高耐圧型トランジスタが配置された領域の素子分離絶縁膜と、前記低耐圧型トランジスタが配置された領域の素子分離絶縁膜とは、ほぼ同じ厚さを有する、半導体装置。

【請求項 7】 請求項 6 において、前記素子分離絶縁膜の膜厚と、前記素子分離絶縁膜と前記固定電位配線層との間に設けられた層間絶縁膜の膜厚との合計は、600~1500nmである、半導体装置。

【請求項 8】 請求項 1 ないし 7 のいずれかにおいて、前記固定電位配線層は、前記高耐圧型トランジスタを取り囲むリング形状を有する、半導体装置。

【請求項 9】 請求項 8 において、前記固定電位配線層は、素子分離用のガードリング領域とほぼ対応する領域に形成された、半導体装置。

【請求項 10】 請求項 1 ないし 7 のいずれかにおいて、前記固定電位配線層は、ドレイン領域および該ドレイン領域の外側の素子分離絶縁膜を含むプレート状の形状を有する、半導体装置。

【請求項 11】 請求項 10 において、前記固定電位配線層は、さらに、素子分離用のガードリング領域とほぼ対応する部分を有する、半導体装置。

【請求項 12】 請求項 10 において、

前記固定電位配線層は、スリット部を有する、半導体装置。

【請求項 13】 請求項 12 において、前記固定電位配線層は、さらに、前記素子分離用のガードリング領域とほぼ対応する部分を有する、半導体装置。

【請求項 14】 請求項 10 ないし 13 のいずれかにおいて、

前記固定電位配線層は、前記配線層とドレイン領域とを接続するコンタクト部を通すための開口部を有する、半導体装置。

【請求項 15】 請求項 1 ないし 14 のいずれかにおいて、

前記固定電位配線層は、前記高電位より低い電位に設定される、半導体装置。

【請求項 16】 請求項 15 において、前記固定電位配線層は、接地電位に固定される、半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、特にモノリシック IC 中において、微細な集積回路を構成する低耐圧型トランジスタと、高耐圧型トランジスタとが組み込まれる半導体装置に関する。

【0002】

【背景技術および発明が解決しようとする課題】LSI チップは多様化し、高集積化、縮小化、低消費電力化が要求されている。集積回路には、たとえば、低耐圧型トランジスタから構成されるロジック部と、高耐圧型トランジスタから構成される入出力回路部とが混載されたものがある。

【0003】高耐圧型トランジスタが配置された領域（以下、「高耐圧型トランジスタ領域」ともいう）では、素子分離絶縁膜は、通常、高耐圧に対応できるように、低耐圧型トランジスタの素子分離絶縁膜に必要とされる膜厚より厚い膜厚を要求される。たとえば、20V 系の電源電圧では、高耐圧型トランジスタ領域の素子分離絶縁膜は900nm程度の膜厚が必要であり、40V 系の電源電圧では、高耐圧型トランジスタ領域の素子分離絶縁膜は1400nm程度の膜厚が必要である。

【0004】また、高耐圧型トランジスタ領域の素子分離絶縁膜が十分な膜厚を有しなくても、寄生MOSトランジスタの動作を防止するための反転防止層（チャネルストップ層）の不純物濃度を高くすることで対応できる場合がある。しかし、反転防止層の不純物濃度は制約されるので、対応できる電位が制限される。

【0005】ところで、たとえば0.8μmルール以下の微細なロジック回路を構成する低耐圧型トランジスタが配置される領域（以下、「低耐圧用トランジスタ領域」ともいう）では、LOCOS (Local Oxidation of

Silicon) による素子分離絶縁膜の厚さが制限される(たとえば600nm程度)。これはトランジスタ素子の微細化に伴って、低耐压型および高耐压型トランジスタが形成された半導体基板上の層間絶縁膜が薄膜化されるため、素子分離絶縁膜の段差を小さくする必要があることによる。

【0006】このような微細な設計ルールの半導体装置に、高耐压型トランジスタを組み込むのは困難である。すなわち、高耐压型トランジスタの耐压を確保するために厚い素子分離絶縁膜を形成した場合、その縁部における段差が大きくなり、低耐压型トランジスタおよびその回路配線の形成が困難となる箇所が発生する。この結果、各素子レイアウトに対するマージンが取り難くなるおそれがある。

【0007】本発明の目的は、低耐压型トランジスタと高耐压型トランジスタとを同一基板に混載する半導体装置において、十分に素子の微細化に対応でき、かつ高耐压型トランジスタが配置された領域において高信頼性の素子分離を実現できる半導体装置を提供することにある。

【0008】

【課題を解決するための手段】本発明にかかる半導体装置は、同一基板に、異なる電圧によって駆動する高耐压型トランジスタと低耐压型トランジスタとを含み、前記高耐压型トランジスタが配置された領域では、前記高耐压型トランジスタの上に層間絶縁膜を介して設けられ、高電位が与えられる配線層と、少なくとも、素子分離絶縁膜と前記配線層との間に設けられた固定電位配線層と、を含む。

【0009】本発明の半導体装置によれば、前記固定電位配線層は、それより上に形成される配線層の高電位の影響を緩和し、前記高耐压型トランジスタの素子分離領域における寄生トランジスタの動作を防ぎ、確実な素子分離ができる。本発明において、「基板」とは、半導体基板および該半導体基板に形成されたウェルを含み、さらにバルク型の半導体基板のみならずSOI (Silicon On Insulator) 型の基板を含む。

【0010】本発明にかかる半導体装置は、以下の態様をとることができる。

【0011】(a) 前記配線層は、前記高耐压型トランジスタのドレイン領域と電気的に接続されている。本発明の上記作用は、高電位が与えられるドレイン配線において特に有用である。

【0012】(b) 前記固定電位配線層は、前記基板内に設けられた不純物拡散層と電気的に接続され、該不純物拡散層は、ソース領域およびドレイン領域と前記素子分離絶縁膜によって分離されている。前記不純物拡散層としては、半導体基板内に形成されたコンタクト領域、あるいは素子分離用のガードリング領域を用いることができる。ガードリング領域を電位固定部として用いる場

合には、コンタクト領域としての不純物拡散層を別に設ける必要がないので、素子面積を最小限にできる。このように固定電位配線層を不純物拡散層と接続することで、固定電位配線層の電位を基板電位に固定することができる。

【0013】(c) 前記固定電位配線層は、第1層間絶縁膜上に形成された金属配線層によって構成され、前記配線層は、第2層間絶縁膜上もしくはそれより上の層間絶縁膜上に形成された金属配線層によって構成することができる。これらの金属配線層は、通常用いられている配線技術によって形成できる。

【0014】(d) 前記高耐压型トランジスタが配置された領域の素子分離絶縁膜と、前記低耐压型トランジスタが配置された領域の素子分離絶縁膜とは、好ましくは、同じプロセスで形成され、ほぼ同じ厚さを有する。上述したように、前記固定電位配線層によって高耐压型トランジスタの素子分離領域における寄生トランジスタの動作を防ぐことができる。その結果、高耐压型トランジスタ領域であっても、固定電位配線層を設けない場合に比較して、素子分離絶縁膜の膜厚を小さくすることができる。低耐压型トランジスタ領域の微細化および多層化を考慮した場合、前記素子分離絶縁膜の膜厚と、前記素子分離絶縁膜と前記固定電位配線層との間に設けられた層間絶縁膜の膜厚との合計は、600~1500nmとすることができる。

【0015】(e) 前記固定電位配線層は、前記高耐压型トランジスタを取り囲むリング形状を有することができる。この場合、前記固定電位配線層は、素子分離用のガードリング領域とほぼ対応する領域に形成することで、固定電位配線層とガードリング領域との接続が容易となる。

【0016】また、前記固定電位配線層は、ドレイン領域および該ドレイン領域の外側の素子分離絶縁膜を含むプレート状の形状を有することができる。この場合、前記固定電位配線層は、さらに、素子分離用のガードリング領域とほぼ対応する部分を有することで、固定電位配線層とガードリング領域との接続が容易となる。このようにプレート状の形状を有する前記固定電位配線層は、スリット部を有することができる。このスリット部は、固定電位配線層の機械的応力を緩和する機能を有する。さらに、プレート状の形状を有する前記固定電位配線層は、前記配線層とドレイン領域とを接続するコンタクト部を通すための開口部を有することができる。

【0017】(f) 前記固定電位配線層は、前記高電位より低い電位に設定されることで、前述の作用を達成できる。好ましくは、前記固定電位配線層は、接地電位に固定される。

【0018】

【発明の実施の形態】以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【0019】〔第1の実施の形態〕図1および図2は、本発明の第1の実施の形態に係る半導体装置100を模式的に示す図である。図1は、高耐圧型トランジスタが配置された領域を示す平面図であり、図2は、図1のA-A線に沿った部分を示す断面図である。

【0020】この半導体装置100においては、たとえば入出力回路を構成する高耐圧型MOSトランジスタ Q_n 、 Q_p と、たとえばロジック部を構成する、図示しない低耐圧型MOSトランジスタとが混載されている。

【0021】図2に示すように、N型の半導体基板11内にP型のウェル12が形成されている。P型のウェル12には、高耐圧型のNチャネルMOSトランジスタ Q_n が設けられている。また、MOSトランジスタ Q_n に対して所定距離離間して、N型半導体基板11に高耐圧型のPチャネルMOSトランジスタ Q_p が設けられている。MOSトランジスタ Q_n は、ゲート絶縁膜13を介して設けられたポリシリコンゲートG1と、ゲートG1を隔ててウェル12内に設けられたソース領域S1、ドレイン領域D1とを有する。MOSトランジスタ Q_p は、ゲート絶縁膜13を介して設けられたポリシリコンゲートG2と、ゲートG2を隔てて半導体基板11内に設けられたソース領域S2、ドレイン領域D2とを有する。

【0022】半導体基板11およびウェル12上には、MOSトランジスタ Q_p 、 Q_n の相互間を電氣的に分離するための素子分離絶縁膜14が形成されている。そして、素子分離絶縁膜14の下の半導体層には、寄生MOSトランジスタの動作を防止するためのN型の反転防止層151およびP型の反転防止層152が形成されている。

【0023】P型のウェル12には、ソース領域S1およびドレイン領域D1と離間して、N型の不純物拡散層からなるコンタクト領域40aが形成されている。コンタクト領域40aは、素子分離絶縁膜14によって、ソース領域S1およびドレイン領域D1と電氣的に分離されている。同様に、N型の半導体基板11には、ソース領域S2およびドレイン領域D2と離間して、P型の不純物拡散層からなるコンタクト領域40bが形成されている。このコンタクト領域40bは、素子分離絶縁膜14によって、ソース領域S2およびドレイン領域D2と電氣的に分離されている。

【0024】高耐圧型のMOSトランジスタ Q_n 、 Q_p との接続配線、たとえばドレイン領域D1、D2に接続される金属配線層19a、19bは、第1層間絶縁膜16および第2層間絶縁膜17を介して配置された第2層目の金属配線層で構成されている。金属配線層19a、19bは、たとえばアルミニウム、銅などの金属あるいはその合金で形成できる。金属配線層19a、19bは、第1層間絶縁膜16および第2層間絶縁膜17を貫通して設けられたコンタクトホール内に埋め込まれたコ

ンタクト部190a、190bによって、それぞれドレイン領域D1、D2と接続されている。ソース領域S1、S2に接続される金属配線層20a、20b（図1参照）は、ドレイン領域D1、D2と同様に、第2層間絶縁膜17上に形成された第2層目の金属配線層で構成することができ、あるいは第1層間絶縁膜16上に形成された第1層目の金属配線層で構成することもできる。

【0025】さらに、第1層間絶縁膜16上には、各MOSトランジスタ Q_n 、 Q_p を取り囲むようにそれぞれ固定電位配線層18a、18bが設けられている。この固定電位配線層18a、18bは、第1層間絶縁膜16上の第1層目の金属配線層によって構成されている。固定電位配線層18a、18bは、少なくとも、高電位が与えられる金属配線層、具体的にはこの例ではドレイン領域D1、D2と接続される金属配線層19a、19bと素子分離絶縁膜14との間に位置するように設けられる。すなわち、固定電位配線層18a、18bは、図1に示すように、素子分離絶縁膜14と高電位が印加される金属配線層19a、19bとが対向している領域M1、M2を通過するように形成される。この領域M1、M2では、素子分離絶縁膜14をゲート絶縁膜とする寄生MOSトランジスタが形成される。

【0026】この例においては、固定電位配線層18a、18bは、前記領域M1、M2を通過するリング状の形状を有する。そして、この固定電位配線層18a、18bは、第1層間絶縁膜16に形成されたコンタクト部42a、42bを介して、それぞれ不純物拡散層からなるコンタクト領域40a、40bに接続されている。従って、NチャネルMOSトランジスタ Q_n 上の固定電位配線層18aは、P型のウェル12の電位に固定され、PチャネルMOSトランジスタ Q_p 上の固定電位配線層18bは、N型の半導体基板11の電位に固定されている。

【0027】以上の構成を有する半導体装置においては、つぎのような作用、機能を有する。

【0028】固定電位配線層18a、18bは、それより上に形成された金属配線層19a、19bに印加される高電位（たとえば20～80V）が半導体基板11に与える影響を緩和するシールド層として機能する。すなわち、固定電位配線層18a、18bは、ウェル12の電位あるいは半導体基板11の電位に固定され、これらの電位は、保証耐圧内で任意に設定できる。そして、これらの電位は、たとえば接地電位に設定される。その結果、固定電位配線層18a、18bの下には高電位が与えられる金属配線層19a、19bの電位分布が存在しないか、あるいは電位分布が緩和された状態となるため、素子分離絶縁膜14を含んで形成される寄生MOSトランジスタに与えられる電位を実質的に低下させることができる。その結果、素子分離絶縁膜14の厚さが低耐圧型トランジスタ領域の素子分離絶縁膜と同程度であ

っても、寄生MOSトランジスタの動作を防止することができる。

【0029】従って、高耐压型トランジスタ領域であっても、固定電位配線層を有することにより、素子分離絶縁膜の膜厚を小さくすることができる。その結果、第1層間絶縁膜の膜厚を小さくすることができ、高耐压型トランジスタ領域においても、低耐压型MOSトランジスタの高密度化および多層化に対応することができる。また、固定電位配線層および高電位が与えられる金属配線層は、通常の配線プロセスによって形成できる。

【0030】上述した半導体装置においては、固定電位配線層をリング状に形成したが、固定電位配線層はこの形態に限定されない。すなわち、固定電位配線層は、少なくとも、素子分離絶縁膜と高電位が与えられる金属配線層との間に設けられ、かつ半導体基板のコンタクト領域との接続が可能であればよい。

【0031】[第2の実施の形態] 図3および図4は、本発明の第2の実施の形態に係る半導体装置200を模式的に示す図である。図3および図4において、図1および図2に示す部材と実質的に同じ機能を有する部分には同じ符号を付する。図3は、高耐压型トランジスタ領域220と、低耐压型トランジスタ領域210とを示す断面図であり、図4は、高耐压型トランジスタ領域220の平面図である。そして、図4のB-B線に沿った部分が、図3に示されている。

【0032】この半導体装置200においては、たとえば入出力回路を構成する高耐压型MOSトランジスタと、たとえばロジック部を構成する、低耐压型MOSトランジスタとが混載されている。

【0033】図3に示すように、N型の半導体基板11内にP型のウェル12が形成されている。P型のウェル12には、低耐压型のNチャネルMOSトランジスタQ'nが設けられている。また、半導体基板11内には高耐压型のPチャネルMOSトランジスタQpが設けられている。MOSトランジスタQ'nは、ゲート絶縁膜13を介して設けられたポリシリコンゲートG1と、ゲートG1を隔ててウェル12内に設けられたソース領域S1、ドレイン領域D1とを有する。MOSトランジスタQpは、ゲート絶縁膜13を介して設けられたポリシリコンゲートG2と、ゲートG2を隔てて半導体基板11内に設けられたソース領域S2、ドレイン領域D2とを有する。

【0034】半導体基板11およびウェル12上には、MOSトランジスタの相互間を電氣的に分離するための素子分離絶縁膜14が形成されている。そして、素子分離絶縁膜14の下半導体層には、寄生MOSトランジスタの動作を防止するためのN型の反転防止層151およびP型の反転防止層152が形成されている。

【0035】また、高耐压型トランジスタ領域220では、半導体基板11には、ソース領域S2およびドレ

イン領域D2と離間して、N型の不純物拡散層からなるガードリング領域21が形成されている。このガードリング領域21は、素子分離絶縁膜14によって、ソース領域S2およびドレイン領域D2と電氣的に分離されている。ガードリング領域は、ソース領域およびドレイン領域の不純物拡散層と逆極性の高濃度不純物拡散層によって形成され、PN接合によって素子の接合リーク電流を防止している。

【0036】MOSトランジスタQ'n、Qpとの接続配線、たとえばドレイン領域D1、D2に接続される金属配線層19a、19bは、第1層間絶縁膜16および第2層間絶縁膜17を介して配置された第2層目の金属配線層で構成されている。金属配線層19a、19bは、たとえばアルミニウム、銅などの金属あるいはその合金で形成できる。金属配線層19a、19bは、第1層間絶縁膜16および第2層間絶縁膜17を貫通して設けられたコンタクトホール内に埋め込まれたコンタクト部190a、190bによって、ドレイン領域D1、D2とそれぞれ接続されている。ソース領域S1、S2に接続される金属配線層(図4に一方の金属配線層20bを示す)は、ドレイン領域D1、D2と同様に、第2層間絶縁膜17上に形成された第2層目の金属配線層で構成することができ、あるいは第1層間絶縁膜16上に形成された第1層目の金属配線層で構成することもできる。

【0037】さらに、高耐压型トランジスタ領域220では、第1層間絶縁膜16上に、各MOSトランジスタを取り囲むようにそれぞれ固定電位配線層18が設けられている。図3および図4では、P型のMOSトランジスタQpのみ図示する。この固定電位配線層18は、第1層間絶縁膜16上の第1層目の金属配線層によって構成されている。固定電位配線層18は、少なくとも、高電位が与えられる金属配線層、具体的にはこの例ではドレイン領域D1、D2と接続される金属配線層19bと素子分離絶縁膜14との間に位置するように設けられる。すなわち、固定電位配線層18は、図4に示すように、素子分離絶縁膜14と高電位が印加される金属配線層19bとが対向している領域M3を通過するように形成される。この領域M3では、素子分離絶縁膜14をゲート絶縁膜とする寄生MOSトランジスタが形成される。

【0038】この例においては、固定電位配線層18は、前記領域M3を通過するリング状の形状を有する。そして、この固定電位配線層18は、第1層間絶縁膜16に形成されたコンタクト部22を介して、不純物拡散層からなるガードリング領域21に接続されている。従って、高耐压型トランジスタ領域220では、各MOSトランジスタ上の固定電位配線層18は、N型の半導体基板11または図示しないP型のウェルの電位に固定されている。

【0039】以上の構成を有する半導体装置においては、つぎのような作用、機能を有する。

【0040】固定電位配線層18は、それより上に形成された金属配線層19bに印加される高電位（たとえば20～80V）が半導体基板11に与える影響を緩和するシールド層として機能する。すなわち、固定電位配線層18は、半導体基板11の電位あるいは図示しないウェルの電位に固定され、これらの電位は、保証耐圧内で任意に設定できる。そして、これらの電位は、たとえば接地電位に設定される。その結果、固定電位配線層18の下には、高電位が与えられる金属配線層19bの電位分布が存在しないか、あるいは電位分布が緩和された状態となるため、素子分離絶縁膜14を含んで形成される寄生MOSトランジスタに与えられる電位を実質的に低下させることができる。その結果、素子分離絶縁膜14の厚さが、低耐圧型トランジスタ領域210の素子分離絶縁膜と同程度であっても、寄生MOSトランジスタの動作を防止することができる。

【0041】従って、高耐圧型トランジスタ領域であっても、固定電位配線層を有することにより、素子分離絶縁膜の膜厚を小さくすることができる。その結果、第1層間絶縁膜の膜厚を小さくことができ、高耐圧型トランジスタ領域においても、低耐圧型MOSトランジスタの高密度化および多層化に対応することができる。また、固定電位配線層および高電位が与えられる金属配線層は、通常の配線プロセスによって形成できる。

【0042】さらに、この実施の形態では、ガードリング領域21を固定電位配線層18の電位固定領域として兼用しているので、素子面積を最小限にできる。

【0043】上述した半導体装置においては、固定電位配線層をリング状に形成したが、固定電位配線層はこの形態に限定されない。すなわち、固定電位配線層は、少なくとも、素子分離絶縁膜と高電位が与えられる金属配線層との間に設けられ、かつ半導体基板のガードリング領域との接続が可能であればよい。

【0044】〔第3の実施の形態〕図5および図6は、本発明の第3の実施の形態に係る半導体装置300を模式的に示す図である。図5および図6において、図1および図2に示す部材と実質的に同じ機能を有する部材には同じ符号を付する。図5は、高耐圧型トランジスタ領域を示す断面図であり、図6は、図5に示す一方のMOSトランジスタの形成領域を示す平面図である。

【0045】本実施の形態にかかる半導体装置は、第1の実施の形態にかかる半導体装置と、主に固定電位配線層の形態が異なる。

【0046】この半導体装置300においては、たとえば入出力回路を構成する高耐圧型MOSトランジスタ Q_n 、 Q_p と、たとえばロジック部を構成する、図示しない低耐圧型MOSトランジスタとが混載されている。

【0047】図5に示すように、N型の半導体基板11

内にP型のウェル12が形成されている。P型のウェル12には、高耐圧型のNチャネルMOSトランジスタ Q_n が設けられている。また、MOSトランジスタ Q_n に対して所定距離離間して、N型半導体基板11に高耐圧型のPチャネルMOSトランジスタ Q_p が設けられている。MOSトランジスタ Q_n は、ゲート絶縁膜13を介して設けられたポリシリコンゲートG1と、ゲートG1を隔ててウェル12内に設けられたソース領域S1、ドレイン領域D1とを有する。MOSトランジスタ Q_p は、ゲート絶縁膜13を介して設けられたポリシリコンゲートG2と、ゲートG2を隔てて半導体基板11内に設けられたソース領域S2、ドレイン領域D2とを有する。

【0048】半導体基板11およびウェル12上には、MOSトランジスタ Q_p 、 Q_n の相互間を電氣的に分離するための素子分離絶縁膜14が形成されている。そして、素子分離絶縁膜14の下の半導体層には、寄生MOSトランジスタの動作を防止するためのN型の反転防止層151およびP型の反転防止層152が形成されている。

【0049】また、ウェル12および半導体基板11には、それぞれ、不純物拡散層からなるガードリング領域21a、21bが形成されている。NチャネルMOSトランジスタ Q_n の形成領域では、P型のガードリング領域21aは、素子分離絶縁膜14によって、ソース領域S1およびドレイン領域D1と電氣的に分離されている。PチャネルMOSトランジスタ Q_p の形成領域では、N型のガードリング領域21bは、素子分離絶縁膜14によって、ソース領域S2およびドレイン領域D2と電氣的に分離されている。

【0050】高耐圧型のMOSトランジスタ Q_n 、 Q_p との接続配線、たとえばドレイン領域D1、D2に接続される金属配線層19a、19bは、第1層間絶縁膜16および第2層間絶縁膜17を介して配置された第2層目の金属配線層で構成されている。金属配線層19a、19bは、たとえばアルミニウム、銅などの金属あるいはその合金で形成できる。金属配線層19a、19bは、第1層間絶縁膜16および第2層間絶縁膜17を貫通して設けられたコンタクトホール内に埋め込まれたコンタクト部190a、190bによって、ドレイン領域D1、D2とそれぞれ接続されている。ソース領域S1、S2に接続される金属配線層20a、20bは、ドレイン領域D1、D2と同様に、第2層間絶縁膜17上に形成された第2層目の金属配線層で構成することができる。あるいは第1層間絶縁膜16上に形成された第1層目の金属配線層で構成することもできる。

【0051】さらに、第1層間絶縁膜16上には、各MOSトランジスタ Q_n 、 Q_p の一部と対向するように、それぞれ固定電位配線層18a、18bが設けられている。この固定電位配線層18a、18bは、第1層間絶

縁膜 16 上の第 1 層目の金属配線層によって構成されている。固定電位配線層 18 a, 18 b は、少なくとも、高電位が与えられる金属配線層、具体的にはこの例ではドレイン領域 D 1, D 2 と接続される金属配線層 19 a, 19 b と素子分離絶縁膜 14 との間に位置するように設けられる。すなわち、固定電位配線層 18 a, 18 b は、図 6 に示すように、素子分離絶縁膜 14 と高電位が印加される金属配線層 19 a, 19 b とが対向している領域 M 4 (一方の領域のみ図示する) を覆うように形成される。この領域 M 4 では、素子分離絶縁膜 14 をゲート絶縁膜とする寄生 MOS トランジスタが形成される。

【0052】この例においては、図 6 に示すように、固定電位配線層 18 b は、前記領域 M 4 を含む素子のほぼ半分の領域、具体的には、ドレイン領域 D 2、このドレイン領域 D 2 の外側の素子分離絶縁膜 14 およびガードリング領域 21 b を含む領域と対向するプレート状の形状を有する。同様に、固定電位配線層 18 a は、領域 M 4 を含む素子のほぼ半分の領域、具体的には、ドレイン領域 D 1、このドレイン領域 D 1 の外側の素子分離絶縁膜 14 およびガードリング領域 21 a を含む領域と対向するプレート状の形状を有する。また、固定電位配線層 18 a, 18 b は、それぞれ、コンタクト部 190 a, 190 b を通すための開口部 180 a, 180 b を有する。

【0053】そして、この固定電位配線層 18 a, 18 b は、第 1 層間絶縁膜 16 に形成されたコンタクト部 22 a, 22 b を介して、不純物拡散層からなるガードリング領域 21 a, 21 b に接続されている。従って、N チャネル MOS トランジスタ Q n 上の固定電位配線層 18 a は、P 型のウェル 12 の電位に固定され、P チャネル MOS トランジスタ Q p 上の固定電位配線層 18 b は、N 型の半導体基板 11 の電位に固定されている。

【0054】以上の構成を有する半導体装置においては、つぎのような作用、機能を有する。

【0055】固定電位配線層 18 a, 18 b は、それより上に形成された金属配線層 19 a, 19 b に印加される高電位 (たとえば 20 ~ 80 V) が半導体基板 11 に与える影響を緩和するシールド層として機能する。すなわち、固定電位配線層 18 a, 18 b は、ウェル 12 の電位あるいは半導体基板 11 の電位に固定され、これらの電位は、保証耐圧内で任意に設定できる。そして、これらの電位は、たとえば接地電位に設定される。その結果、固定電位配線層 18 a, 18 b の下には高電位が与えられる金属配線層 19 a, 19 b の電位分布が存在しないか、あるいは電位分布が緩和された状態となるため、素子分離絶縁膜 14 を含んで形成される寄生 MOS トランジスタに与えられる電位を実質的に低下させることができる。その結果、素子分離絶縁膜 14 の厚さが、低耐圧型トランジスタ領域の素子分離絶縁膜と同程度で

あっても、寄生 MOS トランジスタの動作を防止することができる。

【0056】従って、高耐圧型トランジスタ領域であっても、固定電位配線層を有することにより、素子分離絶縁膜の膜厚を小さくすることができる。その結果、第 1 層間絶縁膜の膜厚を小さくすることができ、高耐圧型トランジスタの形成領域においても、低耐圧型 MOS トランジスタの高密度化および多層化に対応することができる。また、固定電位配線層および高電位が与えられる金属配線層は、通常の配線プロセスによって形成できる。

【0057】(変形例) 上述した半導体装置においては、固定電位配線層をプレート状に形成したが、固定電位配線層はこの形態に限定されない。すなわち、固定電位配線層は、図 7 に示すように、図 5 および図 6 に示す構造に加えて、複数のスリット部 182 を有する。図 7 において、図 6 と実質的に同じ機能を有する部材には同じ符号を付して、その詳細な説明を省略する。

【0058】この固定電位配線層 18 b では、上述した半導体装置 300 の作用効果に加えて、スリット部 182 を有することにより、プレート状の固定電位配線層に比べて金属層による応力を緩和できる。

【0059】以上、本発明の好適な実施の形態について述べたが、本発明にかかる半導体装置はこれらに限定されず、発明の要旨の範囲内で各種の態様を取りうる。たとえば、半導体基板およびウェルの導電層は逆の極性を有していてもよい。また、ウェルの構造も特に限定されず、ウェルはトリプルウェル構造を有していてもよい。さらに、素子分離絶縁膜の下の方の半導体層に、N 型および P 型の反転防止層を設けなくともよい。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態にかかる半導体装置の要部を模式的に示す平面図である。

【図 2】図 1 の A-A 線に沿った部分を示す断面図である。

【図 3】本発明の第 2 の実施の形態にかかる半導体装置の要部を模式的に示す断面図である。

【図 4】図 3 に示す一方の高耐圧型トランジスタの形成領域を示す平面図である。

【図 5】本発明の第 3 の実施の形態にかかる半導体装置の要部を模式的に示す断面図である。

【図 6】図 5 に示す一方の高耐圧型トランジスタの形成領域を示す平面図である。

【図 7】本発明の第 3 の実施の形態の変形例を示す平面図である。

【符号の説明】

11 N 型の半導体基板

12 P 型のウェル

13 ゲート絶縁膜

14 素子分離絶縁膜

151, 152 反転防止層

10

20

30

40

50

13

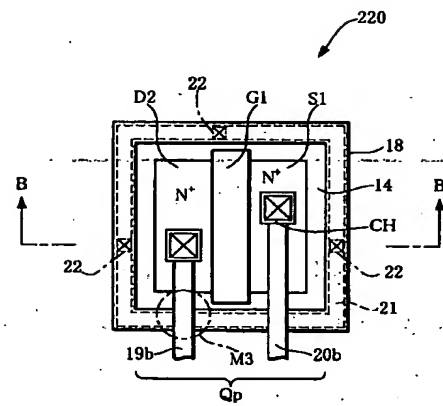
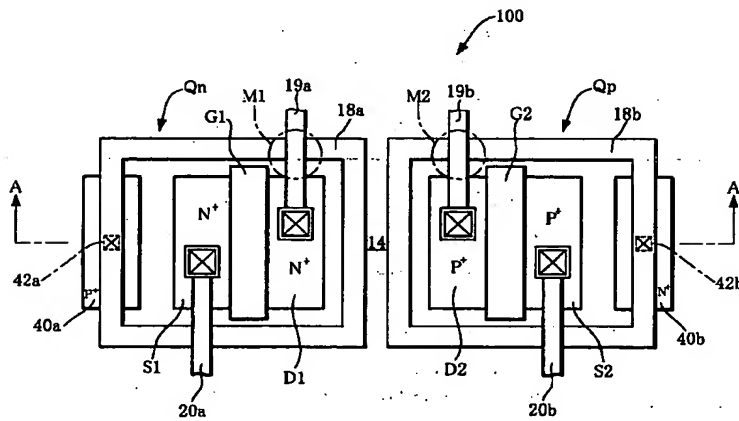
14

16, 17 層間絶縁膜
 18, 18a, 18b 固定電位配線層
 19a, 19b 高電位が与えられる金属配線層
 21, 21a, 21b ガードリング領域
 22, 22a, 22b コンタクト部
 40a, 40b 不純物拡散層からなるコンタクト領域
 42a, 42b コンタクト部

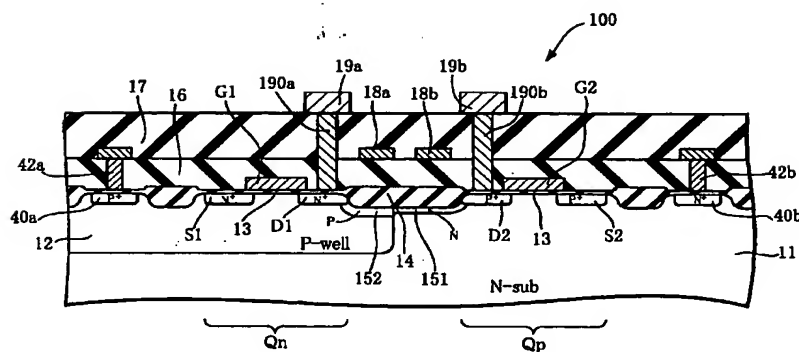
Q_n, Q'_n NチャネルMOSトランジスタ
 Q_p PチャネルMOSトランジスタ
 G_1, G_2 ポリシリコンゲート
 S_1, S_2 ソース領域
 D_1, D_2 ドレイン領域
 100, 200, 300 半導体装置

【図1】

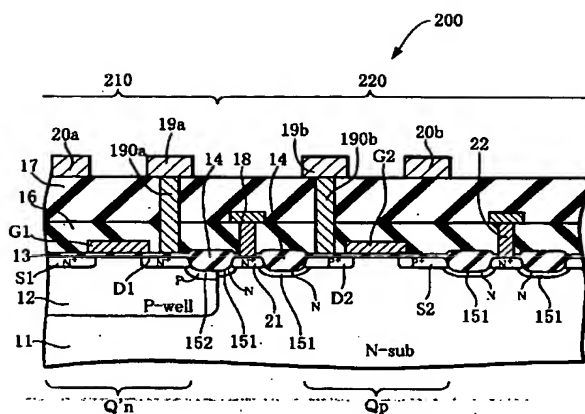
【図4】



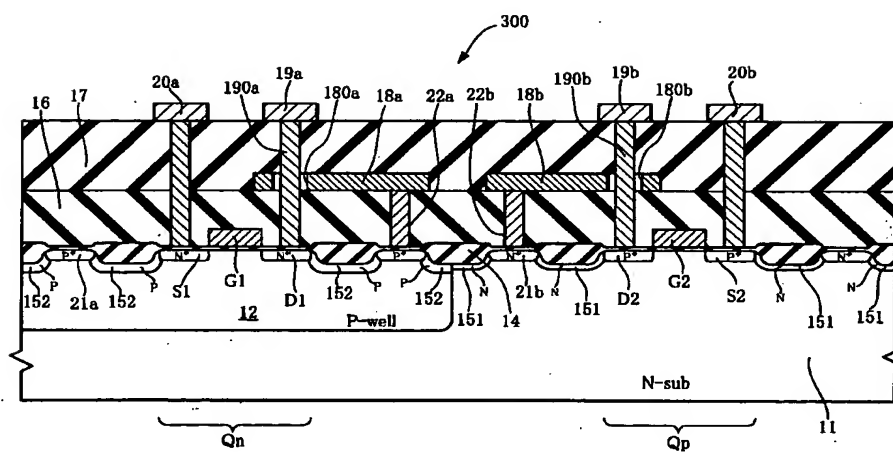
【図2】



【図 3】



【图 5】



BEST AVAILABLE COPY

【図 7】

